

文章编号:1007-2780(2016)05-0460-04

不同双栅极设计对 a-Si : H TFT 特性影响

林致远*,马 骏,林 亮,杨成绍,邹志翔,黄寅虎,文锺源,王章涛
(合肥鑫晟光电科技有限公司,安徽 合肥 230012)

摘要:本实验于原有的单底栅 a-Si TFT 产品结构下,通过增加不同的顶栅极设计方式(不同 a-Si 覆盖比例、不同沟道几何形貌、不同沟道 W/L 比例)来研究双栅极设计对 a-Si TFT 特性的影响。实验结果显示双栅极 a-Si TFT 比现行单底栅 a-Si TFT 可以提升 I_{on} 7%、降低 SS 3%、同时对 I_{off} 以及 TFT 稳定性影响不明显,显示双栅极 a-Si TFT 设计结构具有在不提高成本以及不变更工艺流程下,达到整体提升 TFT 特性的效果。顶栅极 TFT 特性不如底栅极,推测为 a-Si/PVX 界面不佳使得电子导通困难导致,未来可以借由改善 a-Si/PVX 界面工艺提升顶栅极 TFT 特性。

关 键 词:高开口率高级超维场转换技术;非晶硅;薄膜电晶体;双栅极

中图分类号:TN873+.93 **文献标识码:**A **doi:**10.3788/YJYXS20163105.0460

Effect of different dual gate design on A-Si : H TFT electrical characteristics

LIN Zhi-yuan*, MA Jun, LIN Liang, YANG Cheng-shao, ZOU Zhi-xiang,
HUANG Yin-hu, WEN Zhong-yuan, WANG Zhang-tao

(Xingsheng Optoelectronics Technology Co., Ltd, Hefei 230012, China)

Abstract: Different TFT geometry design (top gate area coverage ratio, different channel shape and various W/L value) on dual gate a-Si TFT characteristics were investigated. Dual gate a-Si TFT shows better TFT characteristics than single bottom gate a-Si TFT with higher I_{on} 7%, lower SS 3% and comparable I_{off} and stress stability. Dual gate TFT structure is an economic way to improve a-Si TFT characteristic without production cost up and additional process flow modification. The characteristics of top gate TFT is worse than bottom gate TFT due to a worse a-Si/PVX interface than GI/a-Si interface and may be improved by modifying a-Si/PVX process.

Key words: HADS; a-Si; TFT; dual gate

1 引 言

非晶硅薄膜晶体管液晶显示(a-Si TFTLCD)是当今平板显示(FPD)技术的主流,a-Si TFT 元

件作为 Array 阵列开关对于 LCD 显示质量有重要的影响,是优化改善的重点方向,其中高开口率高级超维场转换技术(high aperture advanced super dimensional switching, HADS)产品具有高开口率、宽可视角达到 178°的优势特点。考虑工

艺成本,期望不增加材料成本或工艺复杂度之下,达到提升 TFT 特性的目的。双栅极设计对于 TFT 特性具有改善提升的效果^[1-11],因此本实验在 HADS 产品原有单底栅 TFT 增加不同几何设计的顶栅研究对于 TFT 特性的影响,可作为后续改善产品 a-Si TFT 产品电学性能相关依据。

2 实验方法和量测

本实验于 12.5 产品上进行研究,实验用玻璃尺寸为 8.5 代线:2 500 mm×2 200 mm。顶栅(top-gate, TG)为 ITO 电极通过过孔与底栅(bottom gate, BG)搭接形成双栅极 TFT 结构(dual gate TFT, DG TFT)。顶栅设计分三大部分如图 1 所示:不同顶栅覆盖 a-Si 比例(0、TG 1/4、TG 3/4 以及 TG All)、不同沟道 W/L 比值(18/5、16/5、14/5、12/5)、不同 TFT 沟道形状(I、L、U 型)。各实验条件于 TFT 全部工序完成后,通过在线电学特性测试设备(inline electronic parameter measurement, EPM)量测 TFT 特性,EPM 可以量测阵列工序制作完成后的 TFT 电学特性。本实验量测项目包含 Dark $I-V$,底栅及顶栅为同时序同电压扫描运作。EPM 量测条件为 $V_g = -20 \sim 20$ V, $V_{gstep} = 0.2$ V, $V_{ds} = 15$ V。PBTIS 以及 NBTIS 量测条件为温度 50℃,5 000 cd/m², $V_{gstress} = +27$ V、 -27 V,2 h。

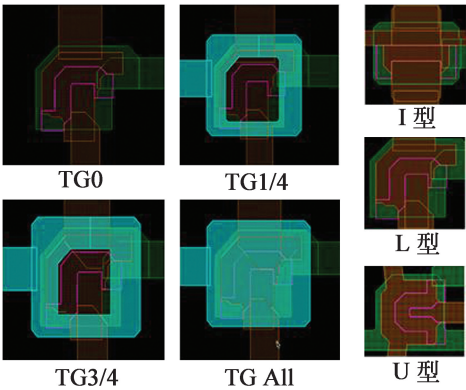


图 1 不同 TFT 设计条件
Fig. 1 Various TFT design

3 实验结果与讨论

不同双栅极设计对各条件 I_{on} 的变化比例趋势如图 2 所示。结果显示具有增加 TG 的 DG 设

计对 TFT I_{on} 均有提升作用。其中 TG 1/4 覆盖与 TG 4/3 覆盖的提提升比例相近大约 6.8%, TG All 全覆盖的提升最高大约 7.6%,显示有 TG 存在可以提升 I_{on} ,而 TG 覆盖 a-Si 面积比例增加的影响变小。对于不同 TFT 几何形状,平均 U 型 TFT I_{on} 提升比例最高,平均提升比例 7.8%,比 I、L 型要高,不同的 W/L 比例对 I_{on} 影响不明显。TG 覆盖 a-Si 面积最大的 I_{on} 提升最高,主要 TG 覆盖 a-Si 越多,电场感应产生的电子电流区域越多则 I_{on} 增加。

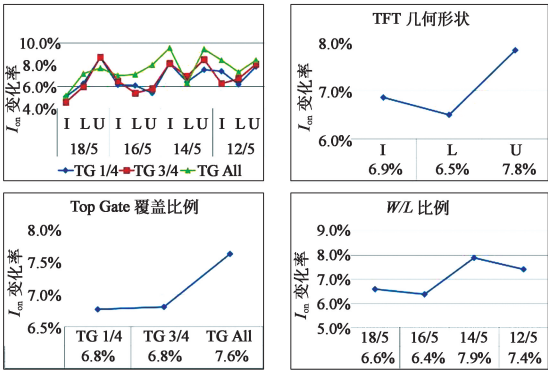


图 2 I_{on} 变化率
Fig. 2 I_{on} change rate

不同双栅极设计对各条件亚阈值摆幅(sub-threshold swing, SS) 的变化趋势如图 3 所示。结果显示具有增加 TG 的 DG 设计对 TFT SS 均有改善作用,平均降幅约 3%。所有条件取平均值后,不同 TG 覆盖面积比例、不同 TFT 几何形状、不同 W/L 比例的细部变化对于 TFT SS 的影响趋势不明显。

DG TFT 改善 SS 的机理如图 4 所示,当上下二个 Gate 同时给予电场下,a-Si 有源层的能带更有效降低,使得栅极绝缘层 GI/有源层 a-Si 以及有源层 a-Si/钝化层 PVX 界面电子更快速的充满达到导通,因而改善 SS。但考虑到背沟道 a-Si/PVX 界面已经破坏严重,界面态密度过高电子难以导通,因此认为 TG 正电场降低有源层能带使得电子加速充满的贡献,主要仍然是作用在于前沟道的 GI/a-Si 界面。

总体相比相同操作电压下 TG 对于 I_{on} 贡献提升不如预期等同 BG 的贡献,提升比例<10%。由于 TFT 开态时电子导通的膜层界面品质决定

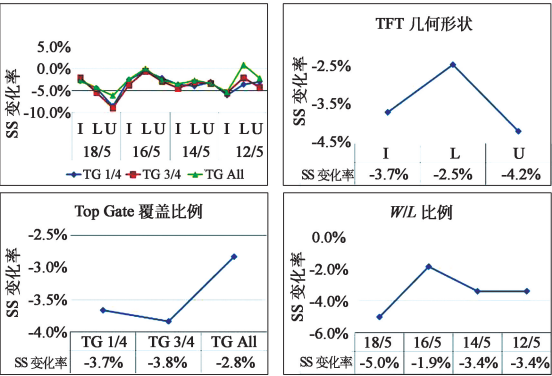


图 3 亚阈值摆幅变化率

Fig. 3 Subthreshold swing (SS) trend

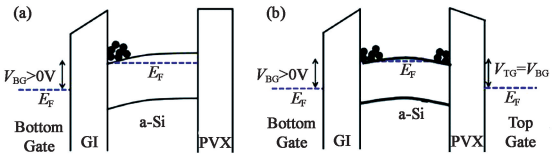


图 4 单栅与双栅极的能带变化

Fig. 4 Band change of single gate and dual gate TFT

了导电电流的大小,界面品质越好缺陷越少电子越不容易被虏获而能导通,反之则难以导通。对于 BG TFT 而言 GI/a-Si 界面品质决定了开态导通电流大小,而对于 TG TFT 而言 a-Si/PVX 界面品质决定了开态导通电流大小。相比 GI/a-Si 界面 a-Si/PVX 界面品质不如 GI/a-Si 界面使得电子导通困难,主要有以下原因造成:1. a-Si/PVX 界面多了 N+ etch 刻蚀工序,使得 a-Si 表面膜层严重破坏形成粗糙表面,导致 a-Si/PVX 缺陷界面态、断键数量过高,容易虏获电子难以形成导通。而 GI/a-Si 界面没有经过 N+ etch 刻蚀破坏工序,具有最佳的膜层界面平坦度。2. a-Si 与 PVX 工序之间为破真空工序,包含了 SD strip,经过大气环境以及药液清洗,都会使得表面缺陷以及污染物增加,容易虏获电子难以导通。而 GI/a-Si 界面为 CVD 真空环境且一次连续成膜工序,具有最佳的膜层界面洁净度。3. 与 GI/a-Si 界面相比,a-Si/PVX 界面的 PVX 不是高品质 GL,同时 a-Si 上表面也不是高品质的 AL,a-Si/PVX 界面膜质不如 GI/a-Si 界面,而 GI/a-Si

界面是高品质的 GL/AL 组成,空位、断键最少化,具有最佳的膜层品质。以上 3 个主要的差异造成 a-Si/PVX 界面不良使得 TG TFT 的电子导通能力大幅下降, I_{on} 贡献微小。后续可以由这些方向改善 TG TFT 特性。

PBTIS 以及 NBTIS 测试如图 5 所示,结果显示增加 TG 后的 DG TFT 稳定性相比 single BG TFT 对于 TFT 稳定性没有明显影响。对于 PBTIS 2 h, I_{on} 变化在 -50% 、 I_{off} 变化 -78% 、 V_{th} 变化 $-3.6V$;对于 NBTIS 2 h, I_{on} 变化在 20% 、 I_{off} 变化 110% 、 V_{th} 变化 $2.3V$ 。PBTIS 以及 NBTIS 二者变化与 TG 覆盖 a-Si 比例的相关性不明显。

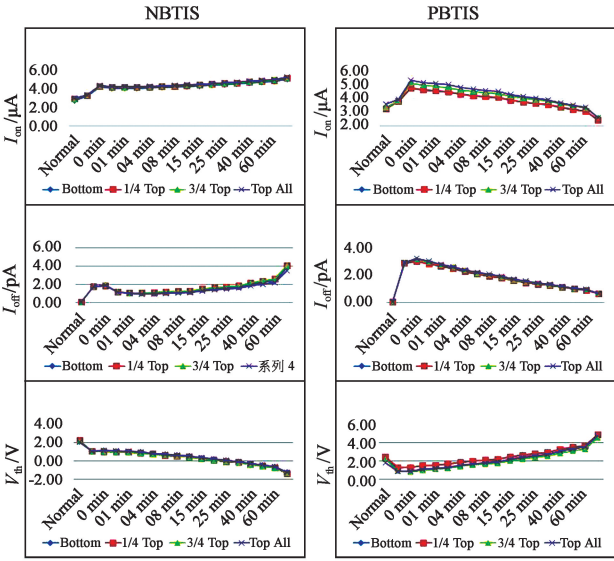


图 5 双栅极 PBTIS 以及 NBTIS 特性结果

Fig. 5 PBTIS and NBTIS of dual gate TFT

4 结 论

1) DG a-Si TFT 设计可以提升 I_{on} 7%,改善 SS3%,并且对 TFT 稳定性没有明显影响。于现有工艺流程不增加成本下,使用 DG TFT 设计可以提升 TFT 特性。

2) 增加 TG 后对于 TFT I_{on} 提升的贡献较小,主要源于 a-Si/PVX 界面品质不佳所导致,未来可进行 a-Si/PVX 界面改善提高 TG TFT 特性。

参 考 文 献:

[1] TUAN H C, THOMPSON M J, JOHNSON N M, *et al.* Dual-gate a-Si:H thin film transistors [J]. *IEEE Electron Device Letters*, 1982, 3(12): 357-359.

[2] VAN BERKEL C, POWELL M J. The photosensitivity of amorphous silicon thin film transistors [J]. *Journal of Non-Crystalline Solids*, 1985, 77-78(12): 1393-1396.

[3] VAN BERKEL C, POWELL M J. Photo-field effect in amorphous silicon thin-film transistors [J]. *Journal of Applied Physics*, 1986, 60(4): 1521-1527.

[4] SERVATI P, NATHAN A. Modeling of the reverse characteristics of a-Si:H TFTs [J]. *IEEE Transactions on Electron Devices*, 2002, 49(5): 812-819.

[5] SERVATI P, KARIM K S, NATHAN A. Static characteristics of a-Si:H dual-gate TFTs [J]. *IEEE Transactions on Electron Devices*, 2003, 50(4): 926-932.

[6] LIANG C Y, GAN F Y, YEH F S, *et al.* Letter: Mechanisms for on/off currents in dual-gate a-Si:H thin-film transistors using indium-tin-oxide top-gate electrodes [J]. *Journal of the Society for Information Display*, 2007, 15(11): 975-978.

[7] LIU Y, YAO R H, LI B, *et al.* A physical model based on surface potential for double-gate a-Si:H TFTs [C]. Proceedings of IEEE International Conference of Electron Devices and Solid-State Circuits, Xi'an, P. R. China: IEEE, 2009: 75-78.

[8] SPIJKMAN M J, MYNY K, SMITS EC P, *et al.* Dual-gate thin-film transistors, integrated circuits and sensors [J]. *Advanced Materials*, 2011, 23(29): 3231-3242.

[9] 商广良,赵天月,赵星星,等.低功耗 TFT-LCD 驱动方法[J].液晶与显示,2012,27(6):785-788.

SHANG G L, ZHAO T Y, ZHAO X X, *et al.* Driving method for low power consumption in TFT-LCDs [J]. *Chinese Journal of Liquid Crystals and Displays*, 2012, 27(6): 785-788. (in Chinese)

[10] LI X L, GENG D, MATIVENGA M, *et al.* Effect of bulk-accumulation on switching speed of dual-gate a-IGZO TFT-based circuits [J]. *IEEE Electron Device Letters*, 2014, 35(12): 1242-1244.

作者简介:林致远(1978—),男,中国台湾人,博士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: linzhiyuan@boe.com.cn

马骏(1988—),男,中国江苏人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: majunhf@boe.com.cn

林亮(1988—),男,中国山东人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: linliang@boe.com.cn

杨成绍(1984—),男,中国安徽人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: yangchengshao@boe.com.cn

邹志翔(1986—),男,中国湖北人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: zouzhixiang@boe.com.cn

黄寅虎(1986—),男,中国湖北人,硕士,部长,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: huangyinhu@boe.com.cn

文锺源(1971—),男,韩国人,硕士,部长,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail:jwmoon@boe.com.cn

王章涛(1977—),男,中国安徽人,博士,总监,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: wangzhangtao@boe.com.cn